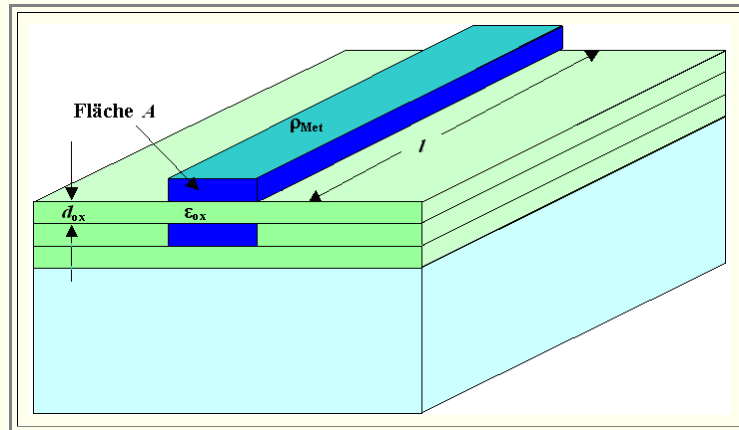


# Lösung zur Übung 6.1-1

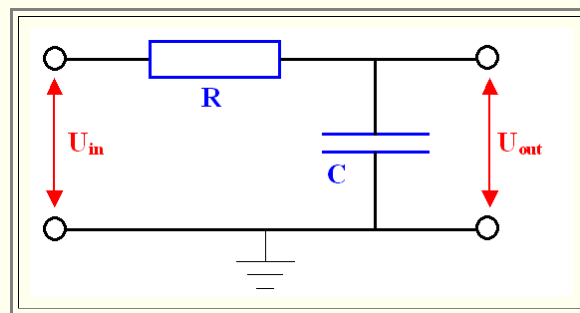
## Signalverlauf im IC

Hier ist nochmals die in [Kapitel 6.1.1](#) gezeigte Geometrie von Verbindungsleitungen in einer integrierten Schaltung



1 Zeige, dass damit folgendes Ersatzschaltbild gilt und berechne mit dem gegebenen Werten sowohl den Widerstand  $R$  als auch die Kapazität  $C$ .

- Für den spezifischen Widerstand der Leiterbahn kann der Wert  $\rho = 2 \mu\Omega\text{cm}$  verwendet; für  $d_{\text{ox}}$ , die Länge  $l$  und die Fläche  $A$  nehmen wir realistische Werte von  $300 \text{ nm}$ ,  $1 \text{ mm}$  bzw.  $0,1 \mu\text{m}^2$ ; für die relative Dielektrizitätskonstante des Dielektrikums zwischen den Leiterbahnen gilt  $\epsilon_{\text{ox}} = 4$ .



Dass das gezeigte Ersatzschaltbild vorliegt ist trivial und muss Elektrotechnikern (hoffentlich) nicht erklärt werden.

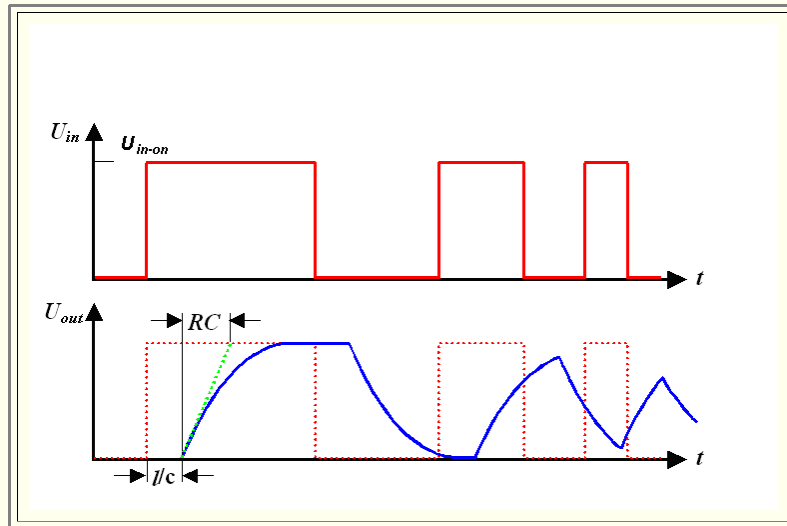
- Für den Widerstand  $R$  gilt  
 $R = \rho / A = 2 \cdot 10^{-6} \cdot 0,1 / 0,1 \cdot 10^{-8} \text{ cm}^2 \Omega \text{cm} \cdot \text{cm} \cdot \text{cm}^{-2} = 200 \Omega$ .
- Für die Kapazität des simplen Plattenkondensators haben wir:  
 $C = \epsilon_0 \epsilon_r \cdot (\text{Fläche}) / d_{\text{ox}}$ .
- Die Fläche ist nicht unmittelbar klar, aber sie ist  $= l \cdot x$  mit  $x$  nach Zeichnung ermittelbar aus  $x \cdot 1/5x = 0,1 \mu\text{m}^2$ ; damit  $x \approx 0,7 \mu\text{m}$ .
- Damit erhalten wir  
 $C = [(8,8 \cdot 10^{-12} \text{ A} \cdot \text{s} \cdot \text{V}^{-1} \cdot \text{m}^{-1}) \cdot (4) \cdot (0,7 \cdot 10^{-6} \text{ m}) \cdot (1 \cdot 10^{-3} \text{ m})] / [300 \cdot 10^{-9} \text{ m}] = 8,21 \cdot 10^{-14} \text{ A} \cdot \text{s} \cdot \text{V}^{-1}$
- Da wir wissen, dass  $1 \text{ A} \cdot \text{s} \cdot \text{V}^{-1} = 1 \text{ F}$ , haben wir eine Kapazität von  $82 \text{ fF}$  ( $\text{f} = \text{femto} = 10^{-15}$ ).

Die unten benötigte Zeitkonstante  $\tau = RC$  ergibt sich damit zu

- $\tau = 200 \Omega \cdot 82 \cdot 10^{-15} \text{ F} = 1,64 \cdot 10^{-11} \text{ V} \cdot \text{A}^{-1} \cdot \text{A} \cdot \text{s} \cdot \text{V}^{-1} = 1,64 \cdot 10^{-11} \text{ s} = 16,4 \cdot \text{ps}$ .
- Die maximale Grenzfrequenz liegt damit bei  $61 \text{ GHz}$ .

Da der ganze Chip um die  $10 \text{ GHz}$  "können" soll, und die Grenzfrequenz eines Chips mit vielen Millionen Transistoren und entsprechend vielen Verbindungsleitungen immer nur deutlich schlechter sein kann als die eines einzelnen Elements, erkennen wir jetzt: Wir haben mit  $RC$  ein *massives* Problem.

2. Zeige, dass sich bei Einspeisung eines Rechtecksignals am Eingang der Signalverlauf am Ausgang wie unten gezeigt ergibt.



Hinweis: Die folgende Differentialgleichung gilt es zu lösen (Warum?)

$$I = C \cdot \frac{dU_{out}}{dt} = \frac{U_{in} - U_{out}}{R}$$

Lösungen für die Fälle: Spannung "rauf" oder Spannung "runter" sind (Warum?):

$$U_{out} = U_{in-on} \cdot \{1 - \exp(-t/RC)\}$$

$$U_{out} = U_{in-on} \cdot \exp(-t/RC)$$

Na ja - Wir haben  $C = Q/U$  oder  $dU_{out} = dQ/C$  sowie  $I = R/I$  und  $I = dQ/dt$ . Damit ergibt sich zwanglos  $dU_{out}/dt = \tau^{-1} \cdot (U_{in} - U_{out}(t))$

Der Rest ist klar. Für den Fall  $U_{in} = 0$  und die Randbedingung  $U_{out}(t=0) = U_0$  haben wir die typische "Relaxationsgleichung" vom Typ  $dy/dt = -\lambda t$  mit der Lösung  $y = y_0 \exp(-\lambda t)$

3. Diskutiere:

1. Die Bedeutung der Zeitkonstanten  $\tau = RC$  für die maximale Taktfrequenz von integrierten Schaltungen.
2. Die mögliche Beziehung der errechneten Zeitkonstante des Beispiels zu derzeitigen Taktfrequenzen realer Chips.
3. Mögliche Maßnahmen zur Verringerung dieser Zeitkonstanten unter Berücksichtigung der Eigenschaften *realer* Materialien.

Der erste und zweite Punkt ist oben schon erledigt.

Die Zeichnung macht klar, warum das so ist: Sind die Eingangssignale zu schnell, kommt die Ausgangsspannung gar nicht mehr richtig runter.

Der dritte Punkt wird teuer. Was kann man tun? Es gibt nur zwei Möglichkeiten: **1. R** kleiner machen und **2. C** kleiner machen (und dann natürlich ggf. beides kombinieren).

Zunächst zu **R**.

- R** könnten wir kleiner machen indem wir die *Geometrie* der Leitung optimieren. Die Querschnittsgröße muss sich aber nach den Chipstrukturgrößen richten, sie wird also im Laufe der Jahre zwangsläufig immer *kleiner* werden! Der Chip selber wird aber immer größer, d. h. die Länge der Leitung würde auch immer größer werden, falls man nicht beim Chipdesign höllisch aufpaßt.
- Damit bleibt bei Geometrie nur noch die **Mehrlagenmetallisierung** mit "nach oben" immer größeren Strukturen (und dadurch kleinerem **R**). Wie so was dann aussieht sieht man im Link, der im übrigen auf ein Skript führt in dem auch der **ET&IT** Studierende sich mal schnell die Grundlagen der Halbleiter*technologie* anschauen kann.

- Wie steht's mit dem spez. Widerstand  $\rho$ ? Bis ca. **2000** nahm man **Al** als Leiterbahnmaterial, mit einem (nominellen)  $\rho_{Al} = 2,7 \cdot 10^{-6} \Omega\text{cm}$ . Das geht noch etwas besser, mit **Ag** kommt man auf den absolut tiefsten Wert von  $\rho_{Ag} = 1,63 \cdot 10^{-6} \Omega\text{cm}$ ; **Cu** liegt bei  $\rho_{Cu} = 1,7 \cdot 10^{-6} \Omega\text{cm}$ . Darunter kommt nichts mehr, das wissen wir jetzt!
- Man ist tatsächlich auf **Cu** umgeschwenkt um eine Verbesserung um den Faktor **1,6** mitzunehmen. Das hat viele Jahre Arbeit und Investitionen in Milliardenhöhe erfordert, denn bei dem Metallisierungsmaterial muss man auch noch viele andere Eigenschaften genau "richtig" haben.

Was machen wir um die "parasitäre" Kapazität **C** zu verringern?

- Bei der Geometrie hilft einerseits was bei **R** schadet, nämlich Leiterbahnen lateral kleiner machen, andererseits sind kürzere Längen natürlich auch hier gut. Beim "Kleinermachen" muss man aber auch noch bedenken, dass die Kapazitäten zu lateral verlaufenden Nachbarleiterbahnen (oben nicht eingezeichnet) dadurch größer werden; außerdem tendieren die Dicken der isolierenden Schichten dazu, kleiner zu werden - nicht gut. Viel kann mit Geometrieoptimierung also nicht erreichen; außerdem muss man das recht komplexe Gesamtoptimum im Auge behalten.
- Bleibt die Verwendung eines Dielektrikums mit  $\epsilon_{ox} \ll 4$ , ein sogenanntes "low k material" (ausgesprochen (deutsch) "keh") . Nach vielen Jahren Forschung und wohl > 1 Milliarde \$ oder € Aufwand, hat es aber noch keine Firma geschafft, ein wirklich verwendbares "low k material" in die Anwendung zu bringen. Der derzeitige Favorit ist poröses **SiO<sub>2</sub>** .
- Deswegen (aber nicht nur deswegen), ist die max. Taktfrequenz bei Mikroprozessoren seit Jahren bei einigen **GHZ**, nachdem sie von ca. **1990 - 2002** von **30 MHz** auf **4 GHz** gestiegen ist.